

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4629599号
(P4629599)

(45) 発行日 平成23年2月9日 (2011.2.9)

(24) 登録日 平成22年11月19日 (2010.11.19)

(51) Int.Cl.

F I

HO 4 N 17/00 (2006.01)

HO 4 N 17/00 K

A 6 1 B 1/04 (2006.01)

A 6 1 B 1/04 3 7 2

HO 4 N 5/363 (2011.01)

HO 4 N 5/335 6 3 0

請求項の数 11 (全 12 頁)

(21) 出願番号	特願2006-62291 (P2006-62291)	(73) 特許権者	000113263
(22) 出願日	平成18年3月8日 (2006.3.8)		HOYA株式会社
(65) 公開番号	特開2007-243527 (P2007-243527A)		東京都新宿区中落合2丁目7番5号
(43) 公開日	平成19年9月20日 (2007.9.20)	(74) 代理人	100078880
審査請求日	平成20年12月5日 (2008.12.5)		弁理士 松岡 修平
		(72) 発明者	須田 忠明
			東京都板橋区前野町2丁目36番9号 ペンタックス株式会社内
		審査官	長谷川 素直

最終頁に続く

(54) 【発明の名称】 サンプルタイミングモニタシステム

(57) 【特許請求の範囲】

【請求項 1】

撮像素子を駆動するための駆動信号と、前記撮像素子から出力されるアナログ出力信号に対して相関二重サンプリングを行うサンプリング回路に供給されるサンプリングパルスとの間の時間的な関係をパルスに変換可能なパルス変換回路と、

前記パルス変換回路から出力されたパルスの幅を計測するカウンタ回路と、

前記カウンタ回路において計測された値が所定の範囲内にあるか否かを判定する比較回路と、を有する検出回路を少なくとも一つ備え、

前記検出回路は、前記比較回路における判定結果に基づいて前記サンプリングパルスの出力タイミングの異常を検出可能であることを特徴とするサンプルタイミングモニタシステム。

10

【請求項 2】

前記パルス変換回路から出力されるパルスは、前記駆動信号の立ち下りから前記サンプリングパルスの立ち上がりまでの時間間隔に対応するパルス幅を有することを特徴とする請求項 1 に記載のサンプルタイミングモニタシステム。

【請求項 3】

前記検出回路を 2 つ有し、

一方は、前記駆動信号がリセット・ゲート信号であり、且つ前記サンプリングパルスが前記アナログ出力信号のフィード・スルー期間をサンプリングするための第一のサンプリング信号である第一の検出回路、

20

他方は、前記駆動信号が水平駆動信号であり、且つ前記サンプリングパルスが前記アナログ出力信号の映像信号期間をサンプリングするための第二のサンプリング信号である第二の検出回路、

であることを特徴とする請求項 1 または 2 に記載のサンプルタイミングモニタシステム。

【請求項 4】

前記検出回路において、前記サンプリングパルスの出力タイミングの異常が検出された場合に、異常を通知する異常通知手段を備えたことを特徴とする請求項 1 から 3 のいずれかに記載のサンプルタイミングモニタシステム。

【請求項 5】

前記異常通知手段は、当該システムにおいて前記検出回路が少なくとも 2 つ備えられている場合に、少なくとも一つの前記検出回路において異常が検出された場合に、異常を通知することを特徴とする請求項 4 に記載のサンプルタイミングモニタシステム。

10

【請求項 6】

前記異常通知手段は、発光により異常を通知することを特徴とする請求項 4 または 5 に記載のサンプルタイミングモニタシステム。

【請求項 7】

前記パルス変換回路は、リセット入力を備えた D タイプのフリップフロップ回路であり、

前記駆動信号がクロック信号として入力され、前記サンプリングパルスがリセット信号として入力されることを特徴とする請求項 1 から 6 のいずれかに記載のサンプルタイミングモニタシステム。

20

【請求項 8】

少なくとも前記検出回路が、プログラマブルな IC の内部に形成されていることを特徴とする請求項 1 から 7 のいずれかに記載のサンプルタイミングモニタシステム。

【請求項 9】

少なくとも 2 つの前記駆動信号の間のタイミングを比較して当該駆動信号間の出力タイミングの異常を検出可能な駆動信号検出回路をさらに有することを特徴とする請求項 1 から 8 のいずれかに記載のサンプルタイミングモニタシステム。

【請求項 10】

前記駆動信号検出回路は、前記駆動信号のうち、前記リセット・ゲート信号の立ち上がりと前記水平駆動信号の立ち上がりのタイミングが同時であるか否かを判定することにより、異常を検出可能であることを特徴とする請求項 9 に記載のサンプルタイミングモニタシステム。

30

【請求項 11】

請求項 1 から 10 のいずれかに記載のサンプルタイミングモニタシステムを備えたことを特徴とする電子内視鏡装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、撮像素子からのアナログ出力信号に所定の信号処理を施してデジタル映像信号を出力するサンプリング回路に供給される信号のタイミングの異常を検出するためのサンプルタイミングモニタシステムに関し、さらに当該システムを備えた電子内視鏡装置に関する。

【背景技術】

【0002】

従来より、CCD等の撮像素子を備えた装置では、撮像素子からのアナログ出力信号のノイズ低減を目的としたCDS(Correlated double sampling: 相関二重サンプリング)

50

回路がよく用いられている。CDS回路では、デジタル映像信号をサンプリングするために、CCDのアナログ出力信号中の映像信号期間をサンプリングするためのサンプリングパルスと、フィード・スルー期間をサンプリングするためのサンプリングパルスが用いられる。CDS回路は、映像信号期間中にサンプリングされた電圧値とフィード・スルー期間中にサンプリングされた電圧値との差分を抽出することにより、ノイズが除去された映像信号を出力することができる。すなわち、CCDのアナログ出力信号は、フィード・スルー期間においてリセット雑音を含む信号が出力され、続く映像信号期間において該リセット雑音と映像信号が重畳した信号が出力される。したがって、それらの期間における出力の差分をとることにより、リセット雑音が除去された映像信号が出力される。

【0003】

10

CDS回路に供給されるサンプリングパルスは、そのタイミングが意図したタイミングから外れてしまうと、CDS回路において映像信号の正常なサンプリングが行われず、結果として、モニタ等に出力される画像に異常が生じてしまう。したがって、サンプリングパルスは、意図したタイミング、すなわち、映像信号期間をサンプリングするためのサンプリングパルスは映像信号期間中の所定の範囲内に、フィード・スルー期間をサンプリングするためのサンプリングパルスはフィード・スルー期間中の所定の範囲内に、それぞれ供給されるように設定されている。

【0004】

特許文献1には、撮像素子において得られるアナログ出力信号からデジタル映像信号をサンプリングするためのサンプリングパルスのタイミングを自動的に調整可能とするサンプリングパルス自動調整装置を備えた電子内視鏡装置が記載されている。このサンプリングパルス自動調整装置では、駆動信号が出力されてから、CCDのアナログ出力信号がCDS回路に入力されるまでの伝搬遅延時間を計測することにより、その遅延時間分だけサンプリングパルスの位相を調整可能としている。したがって、当該装置は、電子内視鏡装置の挿入部の長さの変化等の要因により、上述のような遅延時間が変化したとしても、サンプリングパルスのタイミングを容易に調整可能な構成となっている。

20

【0005】

【特許文献1】特開2002-27335号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0006】

電子内視鏡装置において、撮像素子により撮像されてモニタ等に出力される映像に異常が見られる場合には、原因を究明するために検査等が行われる。検査においては、撮像素子を含めその周辺には種々の回路素子が含まれるため様々な項目のチェックが必要であった。そのなかで、CDS回路に使用されるサンプリングパルスのタイミングのチェックは看過されがちであった。すなわち、検査の際に、サンプリングパルスのタイミングは正常であるものとして検査が行われることが多かった。しかし、サンプリングパルスのタイミングの異常を見逃してしまうと、いくら他の部位の検査を行ってもなかなか異常を特定することができないため、検査の時間を無駄に費やしてしまうという問題点があった。

【0007】

40

一方、特許文献1に記載のサンプリングパルス自動調整装置では、電子内視鏡装置の挿入部の長さ等に影響する上記遅延時間に応じてサンプリングパルスの位相を調整することが可能である。しかし、自動調整以前にサンプリングパルスのタイミングが意図したタイミングから外れてしまっていた場合には、当該自動調整装置であったとしてもサンプリングパルスのタイミングを正常な状態に戻すことは困難である。したがって、上記問題点は解決されない。

【0008】

したがって、映像に異常が見られる場合の検査時において、サンプリングパルスのタイミングに異常が生じていることを容易に検出することができる手段が望まれていた。

【0009】

50

そこで本発明は、サンプリングパルスのタイミングの異常を検出することができるサンプルタイミングモニタシステムおよび当該システムを備えた電子内視鏡装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記の課題を解決するため、本発明では、撮像素子を駆動するための駆動信号と、撮像素子から出力されるアナログ出力信号に対して相関二重サンプリングを行うサンプリング回路に供給されるサンプリングパルスとの間の時間的な関係をパルスに変換可能なパルス変換回路と、パルス変換回路から出力されたパルスの幅を計測するカウンタ回路と、カウンタ回路において計測された値が所定の範囲内にあるか否かを判定する比較回路と、を有する検出回路を少なくとも一つ備え、検出回路は、比較回路における判定結果に基づいてサンプリングパルスの出力タイミングの異常を検出可能であることを特徴とするサンプルタイミングモニタシステムを提供する。

10

【0011】

したがって、本発明では、リセット・ゲート信号や水平駆動信号等の駆動信号と、アナログ出力信号のフィード・スルー期間や映像信号期間をサンプリングするためにCDS回路に供給されるサンプリングパルスとの間のタイミングを、カウンタを用いて計測することができる。計測された値から所定の時間間隔に含まれるか否かにより、サンプル信号の異常を検出することができる。

【0012】

20

また、本発明に係るサンプルタイミングモニタシステムでは、パルス変換回路から出力されるパルスは、駆動信号の立ち下りからサンプリングパルスの立ち上がりまでの時間間隔に対応するパルス幅を有する。

【0013】

また、検出回路を2つ有し、一方は、駆動信号がリセット・ゲート信号であり、且つサンプリングパルスがアナログ出力信号のフィード・スルー期間をサンプリングするための第一のサンプリング信号である第一の検出回路、他方は、駆動信号が水平駆動信号であり、且つサンプリングパルスがアナログ出力信号の映像信号期間をサンプリングするための第二のサンプリング信号である第二の検出回路、である。

【0014】

30

また、検出回路において、サンプリングパルスの出力タイミングの異常が検出された場合に、異常を通知する異常通知手段を備えたことを特徴とする。

【0015】

また、異常通知手段は、当該システムにおいて検出回路が少なくとも2つ備えられている場合に、少なくとも一つの検出回路において異常が検出された場合に、異常を通知する。例えば、その異常通知手段は、発光により異常を通知する

【0016】

また、パルス変換回路は、リセット入力を備えたDタイプのフリップフロップ回路であり、駆動信号がクロック信号として入力され、サンプリングパルスがリセット信号として入力される。また、少なくとも検出回路が、プログラマブルなICの内部に形成されている。

40

【0017】

また、少なくとも2つの駆動信号の間のタイミングを比較して当該駆動信号間の出力タイミングの異常を検出可能な駆動信号検出回路をさらに有する。その駆動信号検出回路は、駆動信号のうち、リセット・ゲート信号の立ち上がりと水平駆動信号の立ち上がりのタイミングが同時であるか否かを判定することにより、異常を検出可能である。

【0018】

また、本発明のサンプルタイミングモニタシステムは電子内視鏡装置に備えられる。

【発明の効果】

【0019】

50

本発明では上記の構成により、サンプリングパルスのタイミングの異常を検出することができるサンプルタイミングモニタシステムおよび当該システムを備えた電子内視鏡装置を提供することができる。

【発明を実施するための最良の形態】

【0020】

以下、図面を参照して、本発明に係るサンプルタイミングモニタシステム及び当該システムを備えた電子内視鏡装置について説明する。なお、本発明の実施形態では、当該システムを電子内視鏡装置に採用した場合について説明する。しかし、当該システムは電子内視鏡装置と共に実施されることに限定されるものではない。例えば、デジタルカメラ、デジタルビデオカメラ、携帯電話、その他撮像素子を備える様々な装置において実施可能である。

10

【0021】

図1は、電子内視鏡装置100の機能ブロック図である。電子内視鏡装置100は、撮像素子であるCCD110と、CCDドライバ回路120と、CDS(Correlated Double Sampling: 相関二重サンプリング)回路130と、プログラマブルIC140と、コンフィグROM140Cと、信号処理回路150と、バッファ160と、アンプ170とを有する。また、電子内視鏡装置100には、外部機器としてのプロセッサ200とモニタ300とを接続可能である。また、電子内視鏡装置100は、図示しないが、患者の体腔内へ挿入される部位である挿入部、各種操作を行うための操作部、画像処理装置等を含むものであり、図1の各機能はそれらの内部に備えられている。

20

【0022】

CCD110は、電子内視鏡装置100の挿入部の先端付近に設けられている。CCD110は、図示しない光源から被写体へ照明光が照射されることにより該被写体から反射される反射光を受光する受光面を有する。受光面には複数のフォトダイオードが配列されており、各フォトダイオードは画素に対応する。被写体からの反射光に応じてフォトダイオードに蓄積された電荷は、CCD110に供給される垂直駆動信号等により読出しおよび転送が行われたのち、水平駆動信号およびリセット・ゲート信号によりアナログ出力信号として出力される。

【0023】

電子内視鏡装置100の挿入部には、CCD110と、CCDドライバ回路120およびCDS回路130とを接続するためのケーブル等が配設されている。CCD110から出力されたアナログ出力信号は、CDS回路130に入力される。CCD110への種々の駆動信号(垂直/水平駆動信号、リセット・ゲート信号等)や電源は、CCDドライバ回路120を介して出力される。

30

【0024】

CCDドライバ回路120は、生成された垂直駆動信号、水平駆動信号、リセット・ゲート信号等をCCD110へ供給する。また、CCD110へ出力すると同時に、水平駆動信号およびリセット・ゲート信号をプログラマブルIC140に出力する。

【0025】

CDS回路130は、CCD110のリセット雑音等のノイズを除去するための回路である。CCD110のアナログ出力信号は、リセット期間と、フィード・スルー期間と、映像信号期間とを有する(図2において詳述する)。CDS回路130では、フィード・スルー期間中に黒レベル(当該期間中の電圧値)、映像信号期間中に映像レベル(当該期間中の電圧値)をそれぞれサンプリングする。そして、黒レベルと映像レベルの差分に基づいてデジタル映像信号を生成して出力する。なお、CDS回路130には、AGC(自動ゲイン制御)やA-Dコンバータ(ADC)等も含まれるものとし、デジタル映像信号の生成においてそれらの機能による処理も実行される。

40

【0026】

CDS回路130には、黒レベルと映像レベルの電圧をサンプリングするタイミングを規定するためのサンプリングパルスである、黒サンプル信号と映像サンプル信号とが供給

50

される。黒サンプル信号と映像サンプル信号は、信号処理回路 150 により生成されて供給される。

【0027】

プログラマブル IC 140 は、例えば、FPGA (Field Programmable Gate Array) や CPLD (Complex Programmable Logic Device) 等の IC である。プログラマブル IC 140 は、ASIC 等に比べて量産時の単価は高くなるが、マスクパターンの設計・製造を行うことなく回路を作成できるという長所を有する。このため、電子内視鏡装置のような機種あたりの生産台数が少なく、それ故に製造コストの低減よりも開発コストの低減の方がより重要な課題となる装置においては、プログラマブル IC を回路として使用することが好ましい。

10

【0028】

プログラマブル IC 140 は、電子内視鏡装置 100 の全体を制御する制御回路を含む。また、プログラマブル IC 140 は、サンプリングパルスのタイミングの異常検出回路 400 (図 3 参照) をも含む。異常検出回路 400 は、黒サンプル信号と映像サンプル信号それぞれのタイミングの異常を検出する機能を有する (詳しくは後述する)。したがって、電子内視鏡装置に異常検出回路 400 を組み込む際には、プログラマブル IC の内部に当該回路を追加するのみでよい。つまり、電子内視鏡装置 100 内部の回路構成を複雑にすることなく、異常検出回路 400 を導入することが可能である。

【0029】

コンフィグ ROM 140C は、揮発性のプログラマブル IC 140 を立ち上げるため (すなわち、少なくとも上述のような異常検出回路 400 を構成させるため) のプログラムを保持している。なお、不揮発性のプログラマブル IC として例えば CPLD を用いた場合には、製造時に一回のみ上述のようなプログラムを実行させればよいので、このコンフィグ ROM 140C は省略されてもよい。

20

【0030】

信号処理回路 150 は、DSP (Digital Signal Processor)、画像メモリ、D-A コンバータ等を含む。信号処理回路 150 は、CDS 回路 130 から出力されプログラマブル IC 140 を介して伝送されてきた CCD 110 のデジタル映像信号に対し、所定の信号処理を行う機能を有する。例えば、信号処理回路 150 は、デジタル映像信号に対し所定の処理を行った後、最終的に RGB 信号等のアナログ映像信号を出力する。また、信号処理回路 150 は、信号発生器を含み、黒サンプル信号および映像サンプル信号を生成することができる。信号処理回路 150 において生成された黒サンプル信号および映像サンプル信号は、CDS 回路 130 へ出力されるとともにプログラマブル IC 140 (異常検出回路 400) へも出力される。

30

【0031】

また、信号処理回路 150 から出力されたアナログ映像信号は、アンプ回路 170 による増幅等の処理を経て、ビデオ信号としてモニタ 300 に出力される。モニタ 300 では、CCD 110 により撮像された映像が表示される。

【0032】

プロセッサ 200 は例えば光源内蔵型信号処理装置であり、キーボード (不図示) 等により検査の作業者による入力操作等が可能な装置である。また、電子内視鏡装置 100 に関する各種情報を表示可能である。プロセッサ 200 は、バッファ 160 を介してプログラマブル IC 140、信号処理回路 150 等の制御を行うことができる。

40

【0033】

なお、上述の電子内視鏡装置 100 の説明においては、CCDドライバ回路 120 において水平駆動信号とリセット・ゲート信号とが、信号処理回路 150 において黒サンプル信号と映像サンプル信号とが、それぞれ生成されるものとした。しかし、それらの信号が生成される場所は特に限定されるわけではなく、例えば、CCDドライバ回路 120、プログラマブル IC 140、信号処理回路 150 のいずれかにおいて生成されていけばよい。

50

【 0 0 3 4 】

図 2 は、水平駆動信号と、リセット・ゲート信号と、CCD 110 のアナログ出力信号と、黒サンプル信号と、映像サンプル信号のタイミングチャートを示す。

【 0 0 3 5 】

図 2 (a) は、CCD ドライバ回路 120 から出力される水平駆動信号 S_H の出力タイミングを示す。図 2 (b) は、CCD ドライバ回路 120 から出力されるリセット・ゲート信号 S_{RG} の出力タイミングを示す。水平駆動信号 S_H およびリセット・ゲート信号 S_{RG} に応じて、CCD 110 のアナログ出力信号の周期が決定される。なお、水平駆動信号 S_H およびリセット・ゲート信号 S_{RG} の立ち上がりは同時となるように調整される。

【 0 0 3 6 】

図 2 (c) は、CCD 110 のアナログ出力信号 S_{OUT} を示す。CCD 110 のアナログ出力信号は、リセット期間 T_R と、フィード・スルー期間 T_F と、映像信号期間 T_V とからなる。リセット期間 T_R はリセット・ゲート信号 S_{RG} のパルス幅に対応する期間である。フィード・スルー期間 T_F は、リセット期間 T_R に確定したリセット雑音のみが出力される期間である。映像信号期間 T_V は水平駆動信号 S_H のパルス幅に対応する期間であり、リセット雑音と CCD 110 の各画素で検出される映像信号が重畳して出力される期間である。なお、図 2 (c) では、アナログ出力信号 S_{OUT} を模式的に示しているが、実際には、各期間の信号の立ち上がりまたは立ち下がりには多少の時間的な広がりを持つ。すなわち、アナログ出力信号 S_{OUT} は、各期間の境界付近ではその出力がゆるやかに変化している。

【 0 0 3 7 】

図 2 (d) は、信号処理回路 150 から出力される黒サンプル信号 S_B の出力タイミングを示す。図 2 (e) は、信号処理回路 150 から出力される映像サンプル信号 S_V の出力タイミングを示す。CDS 回路 130 では、黒レベルと映像レベルとは、黒サンプル信号 S_B と映像サンプル信号 S_V それぞれの立ち上がり時にサンプリングされる。なお、黒サンプル信号 S_B のパルスの立ち上がりはフィード・スルー期間の中央付近（すなわち、中央付近としたのは、当該期間の開始時と終了時付近においてはアナログ出力信号 S_{OUT} が隣接する期間における出力の影響を受けている可能性が高いため）に含まれるように、映像サンプル信号 S_V のパルスの立ち上がりは映像信号期間の中央付近（同上）に含まれるように、それぞれ調整される。しかし、実際には、駆動信号（水平駆動信号 S_H およびリセット・ゲート信号 S_{RG} ）が出力されてから、CDS 回路 130 にアナログ出力信号 S_{OUT} が入力されるまでの遅延時間が考慮されて、黒サンプル信号 S_B および映像サンプル信号 S_V の出力タイミングが設定される。つまり、黒サンプル信号 S_B および映像サンプル信号 S_V は、予測される遅延時間だけ、駆動信号よりも遅延させて出力される。本発明の実施形態では、黒サンプル信号 S_B はリセット・ゲート信号 S_{RG} を基準として、映像サンプル信号 S_V は水平駆動信号 S_H を基準として、それぞれのタイミングがモニタされる。すなわち、それらのタイミングが想定されたタイミングから外れれば異常であると判定される。

【 0 0 3 8 】

水平駆動信号 S_H とリセット・ゲート信号 S_{RG} それぞれの立ち上がりの時間差を t_1 とする。また、リセット・ゲート信号 S_{RG} の立ち下がりから黒サンプル信号 S_B の立ち上がりまでの時間差を t_2 とする。また、水平駆動信号 S_H の立ち下がりから映像サンプル信号 S_V の立ち上がりまでの時間差を t_3 とする。

【 0 0 3 9 】

図 3 は、プログラマブル IC 140 に備えられた、サンプリングパルスのタイミング異常検出回路 400 を示す図である。異常検出回路 400 は、黒サンプル信号用回路 410 と、映像サンプル信号用回路 430 と、LED 450 とを有する。黒サンプル信号用回路 410 は、フリップフロップ 411 と、カウンタ回路 412 と、比較回路 413 とを有する。また、映像サンプル信号用回路 430 は、フリップフロップ 431 と、カウンタ回路 432 と、比較回路 433 とを有する。

【 0 0 4 0 】

フリップフロップ 4 1 1 および 4 3 1 は、D タイプのフリップフロップであり且つリセットインバース端子 ($\sim$ C L R 端子) およびプリセットインバース端子 ($\sim$ P R 端子) を有するものである。また、フリップフロップ 4 1 1 および 4 3 1 のクロック端子 (C K 端子) は立ち上がりを入力とする形式のものである。本実施形態では、フリップフロップ 4 1 1 および 4 3 1 の D 端子および $\sim$ P R 端子には常時 H が入力される。図 4 にフリップフロップ 4 1 1 (4 3 1 も同様) の真理値表を示す。

【 0 0 4 1 】

黒サンプル信号用回路 4 1 0 では、フリップフロップ 4 1 1 の C K 端子には、リセット・ゲート信号 S_{RG} を反転した信号が入力される。すなわち、フリップフロップ 4 1 1 は、リセット・ゲート信号 S_{RG} の立ち下がり時に、Q 端子に D の値 (H) を出力する。また、 $\sim$ C L R 端子には、反転された黒サンプル信号 S_B が入力される。すなわち、黒サンプル信号 S_B が H レベルになると、 $\sim$ C L R 端子に L が入力されてフリップフロップ 4 1 1 がクリアされる (Q 端子が L となる)。したがって、Q 端子の出力は、リセット・ゲート信号 S_{RG} の立ち下がり時に H となり、その後、黒サンプル信号 S_B が入力されると L となる。よって、フリップフロップ 4 1 1 は、リセット・ゲート信号 S_{RG} の立ち下がりから黒サンプル信号 S_B の立ち上がりまでの時間間隔をパルス幅とするパルス P_B を出力する。フリップフロップ 4 1 1 は、リセット・ゲート信号 S_{RG} および黒サンプル信号 S_B の入力と共に、順次、パルス P_B を出力する。

【 0 0 4 2 】

カウンタ回路 4 1 2 では、フリップフロップ 4 1 1 から出力されたパルス P_B を入力値とし、そのパルス P_B のパルス幅 t_2 をカウントする。カウンタ回路 4 1 2 には周知のパルス幅カウンタを用いることができる (パルス幅 t_2 のカウントに用いられるクロックの周期 T_2 は、 $T_2 < t_2$ である)。

【 0 0 4 3 】

比較回路 4 1 3 では、カウンタ回路 4 1 2 から出力された t_2 の値を入力値として、予め指定された値と比較する。すなわち、カウンタ回路 4 1 2 には t_2 の下限値 t_{2MIN} と上限値 t_{2MAX} が予め設定されており、 t_2 がそれらの範囲内であるかどうかを判定することができる ($t_{2MIN} \leq t_2 \leq t_{2MAX}$ であるかどうかを判定する)。比較回路 4 1 3 は、 t_2 が、 $t_{2MIN} \leq t_2 \leq t_{2MAX}$ であれば L を、 $t_2 < t_{2MIN}$ および $t_2 > t_{2MAX}$ であれば H をそれぞれ出力する。なお、下限値 t_{2MIN} 及び上限値 t_{2MAX} はそれぞれプロセッサ 2 0 0 を用いて設定可能である。

【 0 0 4 4 】

映像サンプル信号用回路 4 3 0 では、フリップフロップ 4 3 1 の C K 端子には、水平駆動信号 S_H を反転した信号が入力される。すなわち、フリップフロップ 4 3 1 は、水平駆動信号 S_H の立ち下がり時に、Q 端子に D の値 (H) を出力する。また、 $\sim$ C L R 端子には、反転された映像サンプル信号 S_V が入力される。すなわち、映像サンプル信号 S_V が H レベルになると、 $\sim$ C L R 端子に L が入力されてフリップフロップ 4 3 1 がクリアされる (Q 端子が L となる)。したがって、Q 端子の出力は、水平駆動信号 S_H の立ち下がり時に H となり、その後、映像サンプル信号 S_V が入力されると L となる。よって、フリップフロップ 4 3 1 は、水平駆動信号 S_H の立ち下がりから映像サンプル信号 S_V の立ち上がりまでの時間間隔をパルス幅とするパルス P_V を出力する。フリップフロップ 4 3 1 は、水平駆動信号 S_H および映像サンプル信号 S_V の入力と共に、順次、パルス P_V を出力する。

【 0 0 4 5 】

カウンタ回路 4 3 2 では、フリップフロップ 4 3 1 から出力されたパルス P_V を入力値とし、そのパルス P_V のパルス幅 t_3 をカウントする。カウンタ回路 4 3 2 には周知のパルス幅カウンタを用いることができる (パルス幅 t_3 のカウントに用いられるクロックの周期 T_3 は、 $T_3 < t_3$ である)。

【 0 0 4 6 】

10

20

30

40

50

比較回路 433 では、カウンタ回路 432 から出力された t_3 の値を入力値として、予め指定された値と比較する。すなわち、カウンタ回路 432 には t_3 の下限値 t_{3MIN} と上限値 t_{3MAX} が予め設定されており、 t_3 がそれらの範囲内であるかどうかを判定することができる（ $t_{3MIN} < t_3 < t_{3MAX}$ であるかどうかを判定する）。比較回路 433 は、 t_3 が、 $t_{3MIN} < t_3 < t_{3MAX}$ であれば L を、 $t_3 < t_{3MIN}$ および $t_3 > t_{3MAX}$ であれば H をそれぞれ出力する。なお、下限値 t_{3MIN} 及び上限値 t_{3MAX} はそれぞれプロセッサ 200 を用いて設定可能である。

【0047】

LED 450 は、黒サンプル用回路 410 または映像サンプル用回路 430 の少なくともいずれか一方において異常が検出された場合に点灯する（ただし、Enable が H の場合）。つまり、LED 450 は、比較回路 413 または比較回路 433 のいずれかあるいは両方が H を出力した場合に点灯する。異常検出回路 400 では、LED 450 の一方の端子に所定の電圧（5V）が印加されており、NOT 回路の出力が 0V（L）の場合に発光するよう構成されている。LED 450 の発光により、検査を行う作業者に、黒サンプル信号 S_B または映像サンプル信号 S_V の異常を通知することができる。LED 450 は、例えば、電子内視鏡装置 100 の回路基板上であって、プログラマブル IC 140 付近に備えられる。しかし、LED 450 の配置はそれに限定されるものではない。また、映像サンプル信号 S_V または黒サンプル信号 S_B の異常を通知する手段は、LED 450 を用いなくとも、例えば、モニタ 300 にその旨を表示する構成であってもよい。

【0048】

以上、電子内視鏡装置 100 において、黒サンプル信号または映像サンプル信号の異常を検出可能な構成について説明した。実際に検査を行なう際には、例えば作業者がプロセッサ 200 を操作することにより、バッファ 160 を介してプログラマブル IC 140 に含まれる異常検出回路 400 の Enable 信号を L から H に切り替える。或いはこの Enable 信号は、電子内視鏡装置 100 の電源が立ち上がってから所定の時間は L を出力するような構成であってもよい。そのようにすれば、電源立ち上げ時の不安定な状態のサンプル信号のタイミングを検出することを回避できる。そして、比較回路 413 または比較回路 433 のいずれか一方から H が出力された場合には、LED 450 が点灯する。また、作業者は、例えば、プロセッサ 200 を用いて、信号処理回路 150 に対し、所定のパラメータを設定することにより映像サンプル信号と黒サンプル信号のタイミングを調整することができる。なお、本発明の実施形態においては、異常検出回路 400 内部に、2つのサンプル用回路（410、430）を設けた。しかし、いずれか一方のサンプル用回路のみを設ける構成であってもよい。すなわち、いずれか一方のみを設ける構成であっても、サンプル信号の異常を容易に検出するという本発明の目的は達成し得るからである。また、それぞれのサンプル用回路に個別に LED を設けてもよい。

【0049】

したがって、本発明によれば、プログラマブル IC 140 を用いて所定の回路を追加するのみで、容易にサンプリングパルスの異常を検出することができる機能を実現することができる。

【0050】

また、検査を行う際には、水平駆動信号 S_H とリセット・ゲート信号 S_{RG} のタイミングにも異常があるかどうかを確認する必要がある。この場合、オシロスコープ等で確認することもできるが、水平駆動信号 S_H とリセット・ゲート信号 S_{RG} のタイミングの差 t_1 の異常を検出する回路を備えていてもよい。例えば、上述のような異常検出回路 400 の構成を用いて、水平駆動信号 S_H とリセット・ゲート信号 S_{RG} の立ち上がりのタイミングが同時かどうか（すなわち $t_1 = 0$ ）をチェックすることにより異常の検出が可能となる。

【図面の簡単な説明】

【0051】

【図1】電子内視鏡装置の機能ブロック図である。

【図 2】水平駆動信号、リセット・ゲート信号、アナログ出力信号、黒サンプル信号、映像サンプル信号のタイミングチャートである。

【図 3】異常検出回路を示す図である。

【図 4】フリップフロップの真理値表である。

【符号の説明】

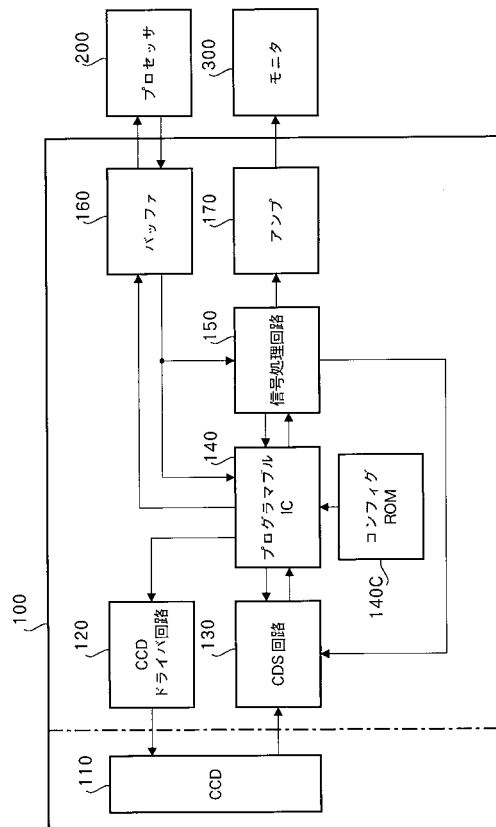
【 0 0 5 2 】

- 1 0 0 電子内視鏡装置
- 1 1 0 C C D
- 1 2 0 C C D ドライバ回路
- 1 3 0 C D S 回路
- 1 4 0 プログラマブル I C
- 1 5 0 信号処理回路
- 1 6 0 バッファ
- 1 7 0 アンプ
- 2 0 0 プロセッサ
- 3 0 0 モニタ
- 4 0 0 異常検出回路
- 4 1 0 黒サンプル用回路
- 4 3 0 映像サンプル用回路
- 4 1 1 , 4 3 1 フリップフロップ
- 4 1 2 , 4 3 2 カウンタ
- 4 1 3 , 4 3 3 比較回路
- 4 5 0 L E D

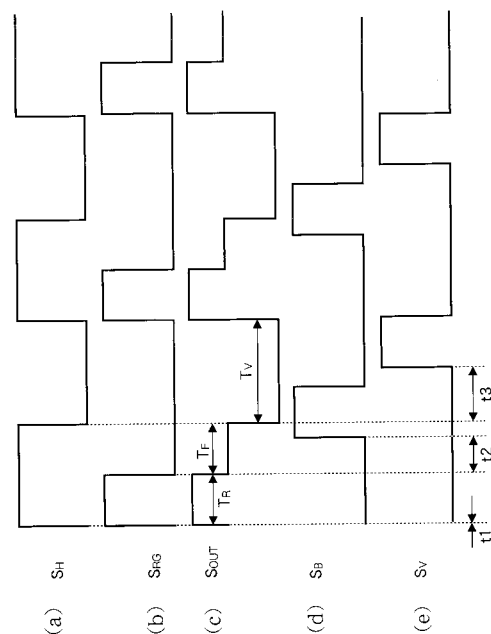
10

20

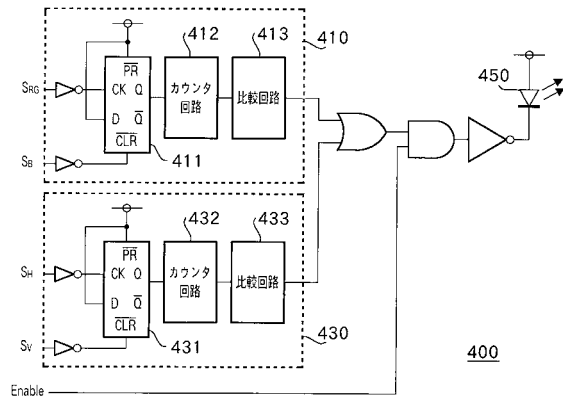
【図 1】



【図 2】



【図 3】



【図 4】

CLR	PR	CK	D	Q	function
H	L	$\uparrow$	H	H	—
L	X	X	X	L	Clear

フロントページの続き

- (56)参考文献 特開 2 0 0 2 - 0 7 7 7 4 2 (J P , A)
特開 2 0 0 2 - 1 3 1 0 8 4 (J P , A)
特開平 0 4 - 0 3 1 9 9 2 (J P , A)
特開平 1 0 - 0 2 8 6 7 1 (J P , A)
特開 2 0 0 2 - 0 2 7 3 3 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 N 1 7 / 0 0 ,
A 6 1 B 1 / 0 4 ,
H 0 4 N 5 / 3 3 5

专利名称(译)	采样定时监控系统		
公开(公告)号	JP4629599B2	公开(公告)日	2011-02-09
申请号	JP2006062291	申请日	2006-03-08
[标]申请(专利权)人(译)	旭光学工业株式会社		
申请(专利权)人(译)	宾得株式会社		
当前申请(专利权)人(译)	HOYA株式会社		
[标]发明人	須田 忠明		
发明人	須田 忠明		
IPC分类号	H04N17/00 A61B1/04 H04N5/363 H04N5/335 H04N5/357 H04N5/372		
FI分类号	H04N17/00.K A61B1/04.372 H04N5/335.630 A61B1/00.550 A61B1/00.630 A61B1/05 H04N17/00.200 H04N5/335.Z H04N5/335.570 H04N5/335.720 H04N5/357 H04N5/363 H04N5/372		
F-TERM分类号	4C061/AA00 4C061/BB00 4C061/CC06 4C061/LL01 4C061/NN01 4C061/SS05 4C061/SS11 4C161/AA00 4C161/BB00 4C161/CC06 4C161/LL01 4C161/NN01 4C161/SS05 4C161/SS11 5C024/BX02 5C024/CX06 5C024/CY44 5C024/GY01 5C024/HX29 5C024/HX32 5C061/BB01 5C061/BB03 5C061/CC01		
其他公开文献	JP2007243527A		
外部链接	Espacenet		

摘要(译)

要解决的问题：检测采样脉冲中的异常时序。ŽSOLUTION：采样定时监控系统至少有一个检测电路。检测电路包括：脉冲转换电路，用于转换用于驱动成像拾取装置的驱动信号和提供给采样电路的采样脉冲之间的时间关系，用于对从图像拾取装置输出的模拟输出信号执行相关双采样。脉冲;计数器电路，用于测量从脉冲转换电路输出的脉冲的宽度;和比较电路，用于确定由计数器电路测量的值是否在规定范围内。检测电路可以基于比较电路确定的结果检测采样脉冲的异常输出定时。Ž

【 図 1 】

